

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A) 平2-165724

⑬ Int. Cl.<sup>8</sup>

識別記号

庁内整理番号

⑭ 公開 平成2年(1990)6月26日

H 03 K 19/096

B

8326-5J

H 01 L 27/04

7514-5F

// H 03 K 19/0175

8326-5J H 03 K 19/00

1 0 1 F

審査請求 未請求 請求項の数 1 (全4頁)

⑮ 発明の名称 デジタル集積回路

⑯ 特 願 昭63-321702

⑰ 出 願 昭63(1988)12月19日

⑱ 発 明 者 福 田 秀 典

大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社  
内

⑲ 出 願 人 シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

⑳ 代 理 人 弁理士 佐野 静夫

明 細 書

1. 発明の名称

デジタル集積回路

2. 特許請求の範囲

(1) 夫々のゲートに入力信号を与え、ドレインを互いに接続した第1のPチャネルFET及び第1のnチャネルFETと、前記第1のPチャネルFET及び第1のnチャネルFETの各ソースと電源又はグランド間に接続された第2のPチャネルFET及び第2のnチャネルFETと、所望の遅延時間を設定して前記第2のPチャネルFET及び第2のnチャネルFETの各ゲートに互いに反転するクロック信号を供給する遅延回路とを単位回路とし、前記単位回路を並列に複数段接続してなることを特徴とするデジタル集積回路。

3. 発明の詳細な説明

産業上の利用分野

本発明はデジタル集積回路に関し、特にデジタル信号の高調波によるノイズ低減を図ったデジタル集積回路に関する。

従来の技術

電子機器におけるノイズのうち、他へ被害を与えるものとして雑音端子電圧及び不要輻射がある。前者の雑音端子電圧はノイズフィルタやノイズカットトランス等を活用することによって解決することができる。しかし後者の不要輻射は電線を伝わるのではなく空間に放射された電波に伴うものであるため、対策が非常に難しい。特に最近の電子機器のようにデジタル信号によって動作を制御するものにおいては不要輻射の問題は大きい。

即ち、電子機器を制御しているデジタル集積回路の出力端子から出力されるデジタル出力信号は、立上り、立下り波形が急峻なため、波形部分には高調波成分が多く含まれ、この高調波成分が本来の論理出力信号に伴って出力端子から飛び出し、不要輻射の原因になる。

デジタル集積回路は近年ますます高速化、高集積化されており、前記不要輻射をできる限り低減するための技術が望まれている。このような不要輻射を低減する方法として、集積回路の出力端子

にノイズ低減のフィルタ回路やビーズコア等を外付けすることが提案されているが、前述のように外部に一旦出力された信号出力に対策を施すことになるため、十分な効果が得られないという問題があった。

また他の対策として、集積回路内で出力バッファの出力インピーダンスを上げたり、或いはバッファの構造を変えることも提案されている。第2図は従来から提案されている出力バッファの回路図で、出力段(3)を構成するP、nチャンネルFET(1)、(2)のゲートに夫々プリバッファ回路A<sub>p</sub>、A<sub>n</sub>を接続することによって構成されている。

上記P、nチャンネルFET(1)、(2)の各ゲートに接続されたプリバッファ回路A<sub>p</sub>、A<sub>n</sub>は、いずれもインバータとトランジスタによる負荷とで構成されている。このようなプリバッファ回路A<sub>p</sub>、A<sub>n</sub>に立上り、立下りの信号が入力されてオン、オフすると、出力段のP、nチャンネルFET(1)、(2)のゲートにおいては、ゲートの容量Cとプリバッファ回路のトランジスタ負荷による抵抗Rの

段の論理ゲート回路に与えて次段のクロックドインバータのクロック信号を形成するための信号とし、このような遅延クロック信号が入力されたクロックドインバータを複数段並列に接続して構成する。

#### 作 用

並列接続された複数段のクロックドインバータにおいて、各段のクロック信号入力部に設けられた論理ゲート回路を順次オンさせることによってクロックドインバータによる電流バスを順次形成し、電流バスの形成に伴って出力バッファ回路としてのインピーダンスを徐々に低下させることができ、インピーダンスの時間変化に従って出力波形の立上り、立下りはなまったものになり、その結果信号波形に含まれる高調波成分が除去される。

#### 実施例

第1図(a)において、入力信号が夫々のゲートに入力された第1PチャンネルFETP<sub>11</sub>と第1nチャンネルFETn<sub>11</sub>が設けられ、両FETの各ドレインは互いに接続されると共に抵抗Rを介して

ために、CR時定数に対応したなまりを伴った信号波形として入力され、出力端子には積分回路を通った波形の信号が出力されることになって不要輻射は低減される。

#### 発明が解決しようとする課題

しかし上述のような積分波形で高調波成分を減じることには限度があり、十分な効果をもたらすには至っていない。

本発明は上記従来回路の問題点に鑑みてなされたもので、不要輻射の充分な軽減を図ったデジタル集積回路を提供することを目的とする。

#### 課題を解決するための手段

上記目的のため本発明は、電源とグランド間に2個ずつのPチャンネルFET及びnチャンネルFETを直列接続し、電源側及びグランド側の各P、nトランジスタのゲートにクロック信号を入力してなるクロックドインバータに対して、論理ゲート回路によって所望量の遅延を施したクロック信号を前記クロックドインバータの電源側及びグランド側の各FETのゲートに与えると共に、次

出力端子(4)に導かれている。

上記第1PチャンネルFETP<sub>11</sub>のソースと電源間には第2PチャンネルFETP<sub>12</sub>が、また第1nチャンネルFETn<sub>11</sub>のソースとグランド間には第2nチャンネルFETn<sub>12</sub>が夫々接続され、付加された各FETP<sub>12</sub>、n<sub>12</sub>にクロックドインバータとしてのクロック信号が入力されている。

上記4個のFETの直列接続回路は、電源とグランド間に並列に複数段接続され、1段目のFET直列接続回路の第1PチャンネルFETP<sub>11</sub>及び第1nチャンネルFETn<sub>11</sub>のゲートにも共通に上記入力信号が与えられ、また互いに接続されたドレインは共通に出力端に導かれている。

ここで第2段目以降のFET直列接続回路の第2PチャンネルFETP<sub>22</sub>、第2nチャンネルFETn<sub>22</sub>のゲートに入力するクロック信号φ<sub>1</sub>、φ<sub>2</sub>は、遅延回路Dの出力信号として与えられる。該遅延回路Dは入力信号として前段クロックドインバータを作動させたクロック信号φ<sub>1</sub>が与えられており、この前段クロックドインバータのクロ

ック信号 $\phi_{i-1}$ に所望量の遅延を施した遅延クロック信号 $\phi_i$ が当該の第2PチャネルFET $P_{i1}$ 、第2nチャネルFET $n_{i1}$ にされてクロックドインバータを制御する。

上記遅延回路Dは第1図(b)に示すようなインバータを数段直列に接続してなる回路で、ゲートのスイッチング時間を利用して入力クロック信号 $\phi_{i-1}$ に遅延を施し、遅延クロック信号 $\phi_i$ を形成して当該のクロックドインバータを制御する。

尚、初段のクロックドインバータにおいても同様に、遅延回路Dを介してクロック信号を入力しても動作させ得るが、本実施例では、2段目以降について遅延回路Dを接続して構成する。

上記構成からなるデジタル回路において、入力信号 $\phi$ が“高”から“低”に変化した場合の動作を説明する。

まず入力信号としてクロック信号 $\phi$ が“低”状態に変化すると、初段クロックドインバータの第1PチャネルFET $P_{11}$ はオン、第1nチャネ

ルFET $n_{11}$ はオフになり、この $P_{11}$ がオン $n_{11}$ がオフの状態は第2段以降のクロックドインバータを構成するFETにおいても同じである。クロック信号 $\phi$ が入力されている第2PチャネルFET $P_{21}$ がオンになることから両PチャネルFET $P_{11}$ 、 $P_{21}$ を介して電源と出力端子間に電流パスが形成される。

一方第2段以降のクロックドインバータにおける第1nチャネルFET $n_{11}$ がオフ状態にあることから各段においてグラウンドへの電流パスはなく、従って出力端には“高”状態が出力される。

上記入力信号レベルの“高”から“低”への変化に対し、各段のクロックドインバータを制御するためのクロック信号は遅延回路Dを介して与えられるため、上記信号レベルの変化時点に対して遅れを伴い、クロック信号 $\phi$ が遅れて出力された時点で第2段クロックドインバータの第2PチャネルFET $P_{21}$ がオンに変化、第2nチャネルFET $n_{21}$ がオフに変化する。第2クロックドインバータの第1PチャネルFET $P_{31}$ は既にオン

状態にあるため、両PチャネルFET $P_{21}$ 、 $P_{31}$ を介して電源と出力端子間に電流パスが形成され、出力端子(4)に対して初段出力と第2段出力の合成した電流パスが形成され、回路としてのインピーダンスは初段電流パスのみの場合に比べて低くなる。時間経過に伴って順次第3段、第4段……のクロックドインバータにおける第2PチャネルFET $P_{i1}$ がオンに変化し、電源と出力端子(4)間の電流パスを形成して回路のインピーダンスを低下させる。最終段の遅延回路Dからクロック信号 $\phi$ が出力された時点で全ての段の両PチャネルFET $P_{i1}$ 、 $P_{i2}$ がオンとなって、インピーダンスが最も低い状態での出力信号が導出される。このとき全ての段のnチャネルFET $n_{i1}$ 、 $n_{i2}$ はオフになっている。

即ち入力信号の“高”から“低”への変化に対して、出力端子(4)には、初段クロックドインバータから順次次段のクロックドインバータが順次導通して電源と出力端子間の電流パスを形成し、インピーダンスが高から低に順次変化する状態を作

り出す。

入力信号が“低”から“高”に切替る場合も、各FETのオン、オフ関係を逆にした動作が行われ、同様に時間の経過と共に回路のインピーダンスは高から低に変化する。

上記のような信号変化時の時間経過に伴うインピーダンスの変化により、入力信号の立上り、立下りの変化に対して出力としてはなまった波形の信号を得ることができる。このようななまった波形には高調波成分はほとんど含まれない。

従って上記出力パルスを構成するクロックドインバータの接続段数、遅延回路の伝達時間及び回路を構成しているFETのインピーダンス等は、出力波形から高調波成分をほぼ除き得る条件に設定するが、不要輻射低減の要求度が低い場合には、上記条件を緩和して調整することもできる。

#### 発明の効果

以上のように本発明によれば、急峻に変化するデジタル信号の処理回路に対して、順次遅延して動作するクロックドインバータを利用することに

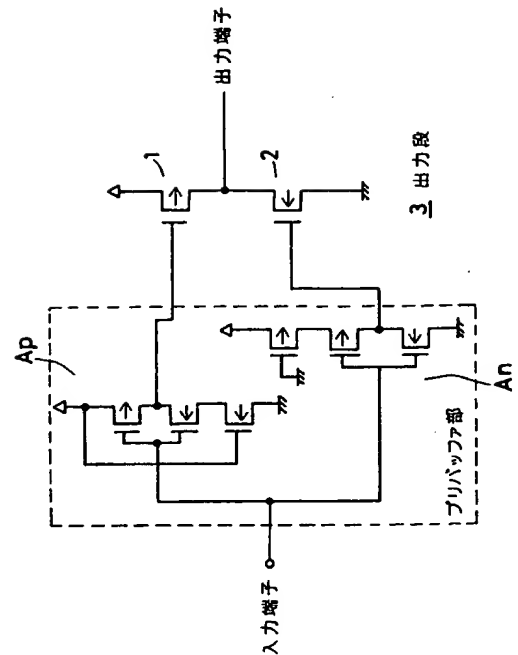
より、出力波形から高調波成分をほぼ除くことができ、不要輻射の原因を軽減することができて他の集積回路、電子部品等への影響を著しく改善することができ、電子機器の信頼性を高めることができる。

#### 4. 図面の簡単な説明

第1図(a)は本発明による実施例の出力バッファ回路図、第1図(b)は同実施例の遅延回路の具体例を示すブロック図、第2図は従来の不要輻射低減用出力バッファ回路図である。

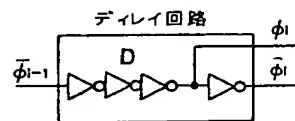
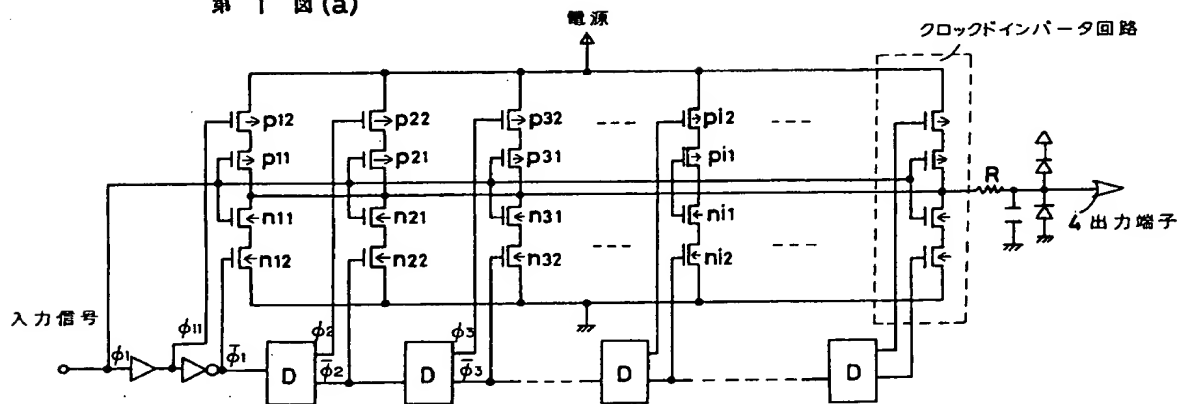
$P_{11}, P_{21}, \dots, P_{1n}$ ……第1PチャンネルFET,  
 $P_{12}, P_{22}, \dots, P_{1n}$ ……第2PチャンネルFET,  
 $n_{11}, n_{21}, \dots, n_{1n}$ ……第1nチャンネルFET,  
 $n_{12}, n_{22}, \dots, n_{1n}$ ……第2nチャンネルFET,  
 $D$ ……遅延回路。

出 願 人  
 シ ャ ー プ 株 式 会 社  
 代 理 人  
 弁 理 士 佐 野 静 夫



第 2 図

第 1 図(a)



第 1 図(b)